



(12)发明专利申请

(10)申请公布号 CN 110111727 A

(43)申请公布日 2019.08.09

(21)申请号 201910476712.3

(22)申请日 2019.06.03

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 北京京东方光电科技有限公司

(72)发明人 胡国锋 宋振坤 陈明 时凌云

毕育欣 段欣 高延凯 刘弘

于明鉴

(74)专利代理机构 北京中博世达专利商标代理

有限公司 11274

代理人 申健

(51)Int.Cl.

G09G 3/32(2016.01)

G09G 3/3208(2016.01)

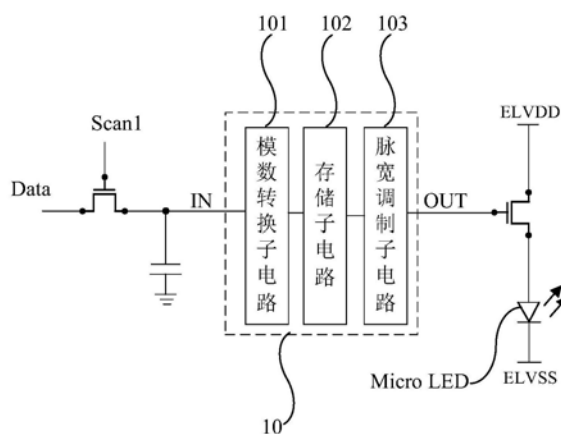
权利要求书2页 说明书10页 附图7页

(54)发明名称

一种像素驱动电路及其驱动方法、显示装置

(57)摘要

本发明实施例提供一种像素驱动电路及其驱动方法、显示装置,涉及显示技术领域,能够解决发光器件因通过驱动电流大小来控制发光亮度而导致的显示不良的问题;该像素驱动电路包括驱动晶体管、数字驱动电路;数字驱动电路包括第一输入端和第一输出端,第一输出端与驱动晶体管的栅极连接;数字驱动电路配置为:将第一输入端输入的像素电压转换为N位数字信号,并将所述N位数字信号转换为脉冲宽度调制信号,通过第一输出端输出至驱动晶体管的栅极;其中,所述N位数字信号与所述像素电压对应的灰阶值相等,N为正整数;像素电压与该像素电压经转换后的脉冲宽度调制信号对应同一灰阶;脉冲宽度调制信号的周期与显示帧周期一致。



1. 一种像素驱动电路,包括驱动晶体管,其特征在于,所述像素驱动电路还包括数字驱动电路;

所述数字驱动电路包括第一输入端和第一输出端,所述第一输出端与所述驱动晶体管的栅极连接;

所述数字驱动电路配置为:将所述第一输入端输入的像素电压转换为N位数字信号,并将所述N位数字信号转换为脉冲宽度调制信号,通过所述第一输出端输出至所述驱动晶体管的栅极;其中,所述N位数字信号与所述像素电压对应的灰阶值相等,N为正整数;

所述像素电压与该像素电压经转换后的脉冲宽度调制信号对应同一灰阶;

所述脉冲宽度调制信号的周期与显示帧周期一致。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述数字驱动电路包括模数转换子电路、存储子电路、脉宽调制子电路;

所述模数转换子电路的输入端与所述第一输入端连接,所述模数转换子电路的输出端与所述存储子电路的输入端连接,所述存储子电路的输出端与所述脉宽调制子电路的输入端连接;所述脉宽调制子电路的输出端与所述第一输出端连接;

所述模数转换子电路配置为:将所述第一输入端输入的像素电压转换为所述N位数字信号,并输出至所述存储子电路;

所述存储子电路配置为:将接收的所述N位数字信号进行存储,并输出至所述脉宽调制子电路;

所述脉宽调制子电路配置为:将接收的所述N位数字信号转换为所述脉冲宽度调制信号。

3. 根据权利要求2所述的像素驱动电路,其特征在于,所述脉宽调制子电路包括减法计数器、输出子电路、调压子电路;

所述减法计数器具有N位输入端和N位输出端;

所述减法计数器在所述显示帧周期内具有M次计数脉冲;M等于最大灰阶值;

所述减法计数器将N位输入端接收的N位数字信号在一个计数脉冲到来时进行减1直至减为0;在每一计数周期内,所述减法计数器的N位输出端中,计数不为0的输出端输出高电平,计数为0的输出端输出低电平;

所述输出子电路包括:或电路;其中,所述或电路的N个输入端与所述减法计数器的N位输出端分别一一对应连接,所述或电路的输出端与所述调压子电路的输入端连接;

所述调压子电路的输出端与所述第一输出端连接,所述调压子电路配置为:将经所述或电路输出的高电平调整至所述驱动晶体管的有效开启电平。

4. 根据权利要求1-3任一所述的像素驱动电路,其特征在于,所述像素驱动电路还包括开关晶体管、存储电容、发光单元;

所述开关晶体管的栅极与扫描信号端连接,所述开关晶体管的第一极与数据信号端连接,所述开关晶体管的第二极与所述数字驱动电路的第一输入端连接;

所述存储电容的第一极与所述数字驱动电路的第一输入端连接,所述存储电容的第二极连接第一控制端;

所述驱动晶体管的第一极与第一电源电压端连接,第二极与所述发光单元的第一极连接,所述发光单元的第二极与第二电源电压端连接。

5. 根据权利要求4所述的像素驱动电路,其特征在于,所述发光单元为Micro LED。

6. 根据权利要求3所述的像素驱动电路,其特征在于,
所述N位数字信号为8位的二进制数字信号;

$M=255$ 。

7. 一种显示装置,其特征在于,包括多个亚像素;至少部分所述亚像素中设置有如权利要求1-6任一项所述的像素驱动电路。

8. 根据权利要求7所述的显示装置,其特征在于,所述像素驱动电路中的发光单元为Micro LED,

多个所述像素驱动电路中的数字驱动电路和驱动晶体管集成于同一微芯片上;其中,多个所述像素驱动电路分别位于相邻设置的多个亚像素中。

9. 根据权利要求7所述的显示装置,其特征在于,所述像素驱动电路中的发光单元为Micro LED,

多个所述像素驱动电路中的数字驱动电路、驱动晶体管、Micro LED集成于同一微芯片上;其中,多个所述像素驱动电路分别位于相邻设置的多个亚像素中。

10. 一种如权利要求1-6任一项所述像素驱动电路的驱动方法,其特征在于,所述数字驱动电路包括模数转换子电路、存储子电路、脉宽调制子电路,所述像素驱动电路的驱动方法包括:

向第一输入端输入像素电压,所述模数转换子电路将所述像素电压转换为N位数字信号,并输出至所述存储子电路;

所述存储子电路接收所述模数转换子电路输出的N位数字信号进行存储,并输出至所述脉宽调制子电路;

所述脉宽调制子电路接收所述存储子电路输出的N位数字信号,并将该N位数字信号转换为脉冲宽度调制信号输出至所述驱动晶体管的栅极。

11. 根据权利要求10所述的像素驱动电路的驱动方法,其特征在于,在所述脉宽调制子电路包括减法计数器、输出子电路、调压子电路的情况下,所述脉宽调制子电路接收所述存储子电路输出的N位数字信号,并将该N位数字信号转换为脉冲宽度调制信号输出至所述驱动晶体管的栅极包括:

所述减法计数器接收所述存储子电路输出的N位数字信号以及计数脉冲,并在每一计数脉冲到来时计数进行减1直至减为0;并且在每一计数周期内,所述减法计数器的N位输出端中,计数不为0的输出端输出高电平至所述输出子电路对应的输入端,计数为0的输出端输出低电平至所述输出子电路对应的输入端;

所述输出子电路接收所述减法计数器的N位输出端的输出信号,并在所述减法计数器计数为0之前的计数周期中连续输出高电平,在所述减法计数器计数为0的计数周期中连续输出低电平;

所述调压子电路接收所述输出子电路的输出信号,并将该信号中的高电平调整至所述驱动晶体管的有效开启电平并输出至所述驱动晶体管的栅极。

一种像素驱动电路及其驱动方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素驱动电路及其驱动方法、显示装置。

背景技术

[0002] Micro LED (Micro Light Emitting Diode, 微发光二极管) 因其高对比度、快速响应、广视角、宽色域、高亮度、低功耗、寿命长,稳定性好等诸多优势,被定义为下一代显示技术。

[0003] 相关技术的Micro LED显示器,采用常规的OLED (Organic Light-Emitting Diode, 有机发光二极管) 像素驱动电路 (例如2T1C结构) 来驱动Micro LED发光,通过控制电流大小来控制Micro LED的亮度,但是由于Micro LED的色点会随电流发生漂移,尤其在低电流工作下色坐标非常不稳定,从而对显示造成不良影响。

发明内容

[0004] 本发明的实施例提供一种像素驱动电路及其驱动方法、显示装置,能够解决发光器件因通过驱动电流大小来控制发光亮度而导致的显示不良的问题。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 本发明一些实施例提供一种像素驱动电路,包括驱动晶体管,所述像素驱动电路还包括数字驱动电路;所述数字驱动电路包括第一输入端和第一输出端,所述第一输出端与所述驱动晶体管的栅极连接;所述数字驱动电路配置为:将所述第一输入端输入的像素电压转换为N位数字信号,并将所述N位数字信号转换为脉冲宽度调制信号,通过所述第一输出端输出至所述驱动晶体管的栅极;其中,所述N位数字信号与所述像素电压对应的灰阶值相等,N为正整数;所述像素电压与该像素电压经转换后的脉冲宽度调制信号对应同一灰阶;所述脉冲宽度调制信号的周期与显示帧周期一致。

[0007] 在一些实施例中,所述数字驱动电路包括模数转换子电路、存储子电路、脉宽调制子电路;所述模数转换子电路的输入端与所述第一输入端连接,所述模数转换子电路的输出端与所述存储子电路的输入端连接,所述存储子电路的输出端与所述脉宽调制子电路的输入端连接;所述脉宽调制子电路的输出端与所述第一输出端连接;所述模数转换子电路配置为:将所述第一输入端输入的像素电压转换为所述N位数字信号,并输出至所述存储子电路;所述存储子电路配置为:将接收的所述N位数字信号进行存储,并输出至所述脉宽调制子电路;所述脉宽调制子电路配置为:将接收的所述N位数字信号转换为所述脉冲宽度调制信号。

[0008] 在一些实施例中,所述脉宽调制子电路包括减法计数器、输出子电路、调压子电路;所述减法计数器具有N位输入端和N位输出端;所述减法计数器在所述显示帧周期内具有M次计数脉冲;M等于最大灰阶值;所述减法计数器将N位输入端接收的N位数字信号在一个计数脉冲到来时进行减1直至减为0;在每一计数周期内,所述减法计数器的N位输出端中,计数不为0的输出端输出高电平,计数为0的输出端输出低电平;所述输出子电路包括:

或电路;其中,所述或电路的N个输入端与所述减法计数器的N位输出端分别一一对应连接,所述或电路的输出端与所述调压子电路的输入端连接;所述调压子电路的输出端与所述第一输出端连接,所述调压子电路配置为:将经所述或电路输出的高电平调整至所述驱动晶体管的有效开启电平。

[0009] 在一些实施例中,所述像素驱动电路还包括开关晶体管、存储电容、发光单元;所述开关晶体管的栅极与扫描信号端连接,所述开关晶体管的第一极与数据信号端连接,所述开关晶体管的第二极与所述数字驱动电路的第一输入端连接;所述存储电容的第一极与所述数字驱动电路的第一输入端连接,所述存储电容的第二极连接第一控制端;所述驱动晶体管的第一极与第一电源电压端连接,第二极与所述发光单元的第一极连接,所述发光单元的第二极与第二电源电压端连接。

[0010] 在一些实施例中,所述发光单元为Micro LED。

[0011] 在一些实施例中,所述N位数字信号为8位的二进制数字信号;M=255。

[0012] 本发明一些实施例中提供一种显示装置,包括多个亚像素,每一所述亚像素中均设置有如前述的像素驱动电路。

[0013] 在一些实施例中,所述像素驱动电路中的发光单元为Micro LED,多个所述像素驱动电路中的数字驱动电路和驱动晶体管集成于同一微芯片上;其中,多个所述像素驱动电路分别位于相邻设置的多个亚像素中。

[0014] 在一些实施例中,所述像素驱动电路中的发光单元为Micro LED,多个所述像素驱动电路中的数字驱动电路、驱动晶体管、Micro LED集成于同一微芯片上;其中,多个所述像素驱动电路分别位于相邻设置的多个亚像素中。

[0015] 本发明一些实施例提供一种如前述的像素驱动电路的驱动方法,所述数字驱动电路包括模数转换子电路、存储子电路、脉宽调制子电路,所述像素驱动电路的驱动方法包括:向第一输入端输入像素电压,所述模数转换子电路将所述像素电压转换为N位数字信号,并输出至所述存储子电路;所述存储子电路接收所述模数转换子电路输出的N位数字信号进行存储,并输出至所述脉宽调制子电路;所述脉宽调制子电路接收所述存储子电路输出的N位数字信号,并将该N位数字信号转换为脉冲宽度调制信号输出至所述驱动晶体管的栅极。

[0016] 在一些实施例中,所述脉宽调制子电路包括减法计数器、输出子电路、调压子电路,所述脉宽调制子电路接收所述存储子电路输出的N位数字信号,并将该N位数字信号转换为脉冲宽度调制信号输出至所述驱动晶体管的栅极包括:所述减法计数器接收所述存储子电路输出的N位数字信号以及计数脉冲,并在每一计数脉冲到来时计数进行减1直至减为0;并且在每一计数周期内,所述减法计数器的N位输出端中,计数不为0的输出端输出高电平至所述输出子电路对应的输入端,计数为0的输出端输出低电平至所述输出子电路对应的输入端;所述输出子电路接收所述减法计数器的N位输出端的输出信号,并将所述减法计数器在计数为0之前的计数周期内输出的高电平至所述调压子电路,在计数为0的计数周期内输出低电平至所述调压子电路;所述调压子电路将接收的高电平调整至所述驱动晶体管的有效开启电平并输出至所述驱动晶体管的栅极。

[0017] 本发明实施例提供一种像素驱动电路及其驱动方法、显示装置,该像素驱动电路包括驱动晶体管、数字驱动电路;数字驱动电路包括第一输入端和第一输出端,第一输出端

与驱动晶体管的栅极连接；数字驱动电路配置为：将第一输入端输入的像素电压转换为与该像素电压对应的灰阶值相等的N位数字信号，并将该N位数字信号转换为脉冲宽度调制信号，通过第一输出端输出至驱动晶体管的栅极；N为正整数；像素电压与该像素电压经转换后的脉冲宽度调制信号对应同一灰阶；脉冲宽度调制信号的周期与显示帧周期一致。

[0018] 综上所述，本发明实施例提供的像素驱动电路通过数字驱动电路将像素电压转换为数字信号，再将数字信号转换为与像素电压对应同一灰阶的PWM信号，并将该PWM信号输出至驱动晶体管的栅极，在此情况下，流经驱动晶体管（或者说Micro-LED）的驱动电流为固定电流，这样一来，避免了通过控制驱动电流大小来控制发光亮度而导致的色坐标不稳定的问题，进而提高了显示品质。

附图说明

[0019] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0020] 图1为本发明实施例提供的一种显示面板的结构示意图；

[0021] 图2为本发明实施例提供的一种像素驱动电路的结构示意图；

[0022] 图3为本发明实施例提供的一种像素电压的转换示意图；

[0023] 图4为本发明实施例提供的一种像素驱动电路的结构示意图；

[0024] 图5为本发明实施例提供的一种数字驱动电路的结构示意图；

[0025] 图6为本发明实施例提供的一种存储器的结构示意图；

[0026] 图7为本发明实施例提供的一种减法计数器的结构示意图；

[0027] 图8为本发明实施例提供的一种显示装置中像素驱动电路的集成示意图；

[0028] 图9为本发明实施例提供的一种显示装置中像素驱动电路的集成示意图；

[0029] 图10为本发明实施例提供的一种显示装置中像素驱动电路的集成示意图；

[0030] 图11为本发明实施例提供的一种像素驱动电路的驱动方法示意图；

[0031] 图12为本发明实施例提供的一种减法计数器的驱动时序图；

[0032] 图13为本发明实施例提供的显示装置的驱动时序示意图。

具体实施方式

[0033] 下面将结合本申请实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0034] 除非另外定义，本申请实施例中使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本发明实施例中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语

并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。

[0035] 此外,本申请中,“上”、“下”、“左”、“右”、“水平”以及“竖直”等方位术语是相对于附图中的部件示意置放的方位来定义的,应当理解到,这些方向性术语是相对的概念,它们用于相对于的描述和澄清,其可以根据附图中部件所放置的方位的变化而相应地发生变化。

[0036] 本发明实施例提供一种显示装置,该显示装置至少包括显示面板。该显示装置可以为电视、手机、电脑、笔记本电脑、平板电脑、个人数字助理(personal digital assistant,PDA)、车载电脑等任何具有显示功能的产品或者部件。另外,该显示装置还包括电路板、显示驱动IC以及其他电子配件等。

[0037] 上述显示面板可以为:有机发光二极管(Organic Light Emitting Diode,简称OLED)显示面板、量子点发光二极管(Quantum Dot Light Emitting Diodes,简称QLED)显示面板、微发光二极管(Micro Light Emitting Diodes,简称Micro LED)显示面板等,本发明对此不做具体限定。

[0038] 本发明以下实施例均是以上述显示面板为Micro LED显示面板为例,对本发明进行说明的。

[0039] 如图1所示,上述显示面板包括:显示区(active area,AA;简称AA区;也可称为有效显示区)和围绕AA区至少一边的周边区。

[0040] 上述显示面板在AA区中包括多种颜色的亚像素(sub pixel)P,该多种颜色的亚像素至少包括第一颜色亚像素、第二颜色亚像素和第三颜色亚像素,第一颜色、第二颜色和第三颜色为三基色(例如红色、绿色和蓝色)。

[0041] 为了方便说明,本申请中上述多个亚像素P是以矩阵形式排列为例进行的说明。在此情况下,沿水平方向X排列成一排的亚像素P称为同一行亚像素;沿竖直方向Y排列成一排的亚像素P为同一列亚像素。

[0042] 如图1所示,在上述显示面板PNL中,每一亚像素P中均设置有像素驱动电路(也可称为像素电路)01,该像素驱动电路01包括Micro-LED(晶粒)和驱动Micro-LED工作的驱动电路。

[0043] 在一些实施例中,如图1所示,位于同行的像素驱动电路01中的驱动电路与同一栅线(Gate Line)GL连接,位于同列的像素驱动电路01中的驱动电路与同一数据线(Data Line)DL连接。

[0044] 另外,如图1所示,显示面板PNL在周边区还设置有栅极驱动电路和数据驱动电路。在一些实施例中,栅极驱动电路可以设置在沿栅线GL的延伸方向上的侧边,数据驱动电路可以设置在沿数据线DL的延伸方向上的侧边,以通过栅极驱动电路逐行向栅线GL输入扫描信号,以逐行开启像素驱动电路01;并在一行像素驱动电路01开启时,数据驱动电路通过数据线DL向各像素驱动电路01写入像素电压,以实现画面显示。

[0045] 在此基础上,对于上述像素驱动电路01中的驱动电路而言,本领域的技术人员应当理解到,该驱动电路中包括驱动晶体管,通过驱动晶体管来控制Micro LED晶粒发光(也即有电流流过Micro LED)。

[0046] 相关技术中,通过像素电压来控制驱动晶体管的栅极的电压大小,来控制流经Micro-LED晶粒的电流大小,以实现Micro-LED晶粒的不同发光亮度,也即不同的灰阶亮度;

但是,在此情况下,由于Micro LED晶粒的色坐标随电流发生漂移(尤其在低电流,色坐标非常不稳定),从而会造成显示不良。

[0047] 相比之下,如图2所示,本发明实施例提供的像素驱动电路01中设置数字驱动电路10;该数字驱动电路10包括第一输入端IN和第一输出端OUT;其中,第一输入端IN用于接收像素电压,第一输出端OUT与驱动晶体管Md的栅极连接。

[0048] 参考图3,上述数字驱动电路10配置为:将第一输入端IN接收的像素电压Vdata转换为:与接收到的像素电压对应的灰阶值相等的N位数字信号(N为正整数),也即进行模数转换(A/D转换);并将该N位数字信号转换为脉冲宽度调制(pulse width modulation,PWM)信号(也即PWM信号),通过第一输出端OUT将该PWM信号输出至驱动晶体管Md的栅极。

[0049] 上述N位数字信号根据显示面板PNL的显示规格选择设置即可;本发明实施例中均是以N位数字信号为二进制数字信号为例进行说明的,但本发明并不限于此。

[0050] 示例的,对于采用255全灰阶的显示面板PNL而言,数字驱动电路10转换的N位数字信号可以为8位数字信号;对于采用127全灰阶的显示面板PNL而言,数字驱动电路10转换的N位数字信号可以为7位数字信号。本发明实施例均是以255全灰阶,N=8为例进行说明的。

[0051] 上述像素电压Vdata与该像素电压Vdata经转换后的PWM信号对应同一灰阶(也可以称为图像灰度等级);可以理解的是,不同灰阶下的像素电压转换后的PWM信号的占空比不同。其中,PWM信号的周期与显示帧周期F(也可以称为图像帧周期Frame)一致。

[0052] 另外,还可以理解的是,对于PWM信号而言,其在周期内保持驱动信号的脉冲幅度不变,而用不同的脉冲占空比,也就是不同的脉冲宽度,代表不同的灰阶。

[0053] 综上所述,本发明中通过数字驱动电路10将像素电压Vdata转换为数字信号D,再将数字信号D转换为与像素电压Vdata对应同一灰阶的PWM信号,并将该PWM信号输出至驱动晶体管Md的栅极,在此情况下,流经驱动晶体管Md(或者说Micro-LED)的驱动电流为固定电流,这样一来,避免了通过控制驱动电流大小来控制发光亮度而导致的色坐标不稳定的问题,进而提高了显示品质。

[0054] 另外,对于上述像素驱动电路01而言,本发明中,对于除前述的数字驱动电路10和驱动晶体管Md以外电路不做具体限定,实际中可以根据需要选择设置即可。

[0055] 示例的,在一些实施例中,如图2所示,驱动晶体管Md的第一极可以直接与第一电源电压端ELVDD连接,驱动晶体管Md的第二极与Micro-LED(发光单元)的阳极连接,Micro-LED的阴极与第二电源电压端ELVSS连接。

[0056] 在一些实施例中,如图2所示,上述像素驱动电路01还包括充电电路20。该充电电路20与数据信号端Data、扫描信号端Scan1、数字驱动电路10的第一输入端IN连接。

[0057] 在一些实施中,在显示面板PNL中,位于同行的像素驱动电路01通过扫描信号端Scan1与同一栅线GL连接,位于同列的像素驱动电路01通过数据信号端Data与同一数据线DL连接。

[0058] 在一些实施例中,如图2所示,上述充电电路20包括开关晶体管Ms和存储电容Cst。其中,开关晶体管Ms的栅极与扫描信号端Scan1连接,开关晶体管Ms的第一极与数据信号端Data,开关晶体管Ms的第二极与数字驱动电路10的第一输入端IN连接;存储电容Cst的第一极与数字驱动电路10的第一输入端IN连接,存储电容Cst的第二极与第一控制端连接;其中,该第一控制端可以为接地端连接,也可以是驱动晶体管Md的第一极或第二极。

[0059] 以下对上述数字驱动充电电路20作进一步的说明;其中,附图以及下文均以 $N=8$ 为例进行说明的。

[0060] 在一些实施例中,如图4所示,上述数字驱动电路10可以包括模数转换子电路101、存储子电路102、脉宽调制子电路103。

[0061] 如图4所示,上述模数转换子电路101的输入端与第一输入端IN连接,该模数转换子电路101的输出端与存储子电路102的输入端连接,该存储子电路102的输出端与脉宽调制子电路103的输入端连接,该脉宽调制子电路103的输出端与第一输出端OUT连接。

[0062] 上述模数转换子电路101配置为:将第一输入端IN输入的像素电压Vdata转换为与该像素电压对应的灰阶值相等的8位数字信号,并输出至存储子电路102。

[0063] 上述存储子电路102配置为:将接收的8位数字信号进行存储,并输出至脉宽调制子电路103。

[0064] 上述脉宽调制子电路103配置为:将接收的8位数字信号转换为PWM信号。

[0065] 如图5所示,上述模数转换子电路101可以为模数转换器(Analog to Digital, ADC),也可以称为A/D转换器;该A/D转换器具有8位数字信号输出端(D0、D1、D2、D3、D4、D5、D6、D7)。

[0066] 如图5所示,上述存储子电路102可以为存储器(Memory)。该存储器的8位输入端与前述A/D转换器的8位数字信号输出端(D0、D1、D2、D3、D4、D5、D6、D7)分别一一对应连接,该存储器将从A/D转换器的8位数字信号输出端(D0、D1、D2、D3、D4、D5、D6、D7)接收的数字信号通过存储后,通过8位输出端(Q0、Q1、Q2、Q3、Q4、Q5、Q6、Q7)对应输出。

[0067] 示例的,如图6所示,上述存储器(Memory)包括8位存储单元11;8位存储单元11的输入端分别与A/D转换器的8位数字信号输出端(D0、D1、D2、D3、D4、D5、D6、D7)一一对应连接。每一存储单元11均包括缓冲器、D触发器、三态门。其中,在各存储单元11中,输入端通过缓冲器与D触发器的1D端连接,D触发器的Q端与三态门的输入端连接,三态门的输出端作为存储单元11的输出端;时钟信号端CLKA通过缓冲器与各存储单元11中的D触发器的C1端连接;使能信号端OE通过反向器与各存储单元11中的三态门的使能端连接。

[0068] 如图5所示,上述脉宽调制子电路103可以包括减法计数器(Counter) 1031、输出子电路1032、调压子电路1033。

[0069] 如图5所示,上述减法计数器1031具有8位输入端和8位输出端;其中,该减法计数器1031的8位输入端与存储器的8位输出端(Q0、Q1、Q2、Q3、Q4、Q5、Q6、Q7)分别一一对应连接。该减法计数器1031在每一个显示帧周期F内具有M次计数脉冲;其中,M等于最大灰阶值;也即 $N=8$ 时, $M=255$ 。该减法计数器1031将从存储器接收的8位数字信号在每一计数脉冲到来时进行减1直至减为0;在每一计数周期内,该减法计数器1031的8位输出端(Y0、Y1、Y2、Y3、Y4、Y5、Y6、Y7)中,计数不为0的输出端输出高电平,计数为0的输出端输出低电平。

[0070] 示例的,如图7所示,上述减法计数器1031包括8位计数单元12;该8位计数单元12的输入端与存储器的8位输出端(Q0、Q1、Q2、Q3、Q4、Q5、Q6、Q7)分别一一对应连接。每一计数单元12中包括D触发器,复位信号端Reset通过缓冲器与各计数单元12中的D触发器的复位端R连接;时钟信号端CLKB通过缓冲器与各计数单元12中的D触发器的C1端连接。

[0071] 在各计数单元12中的D触发器的Q端分别作为8位输出端(Q0、Q1、Q2、Q3、Q4、Q5、Q6、Q7);每一计数单元12中的D触发器的1D端和或门(≥ 1)的输出端连接,且该或门(≥ 1)的两

个输入端分别连接两个与门(&)的输出端;该两个与门(&)分别为第一与门和第二与门;其中,第一与门的第一输入端与存储器对应的输出端连接,预置位信号端Mode通过反相器与各计数单元12中的第一与门的第二输入端连接;第二与门的第一输入端和同或门(=)的输出端连接,预置位信号端Mode通过串联的两个反相器与各计数单元12中的第二与门的第二输入端连接。

[0072] 上述同或门(=)的第一输入端与其所在的计数单元12中的D触发器 $\bar{Q}$ 端连接(也即采用D触发器形成T触发器)。时钟信号端CE通过缓冲器后,在第1位计数单元12中通过缓冲器与第1位计数单元12中的同或门(=)的第二输入端连接。在除第1位计数单元以外的计数单元中,上述时钟信号端CE通过缓冲器后和与门(&)的一个输入端连接,且该与门(&)的输出端与所在计数单元中的同或门(=)的第二输入端连接,另外,对于该与门(&)还设置有与位于其前位的D触发器 $\bar{Q}$ 端连接的输入端。

[0073] 如图5所示,上述输出子电路1032可以包括:或电路(≥ 1);也即,或门。该或门的8个输入端分别与减法计数器1031的8位输出端(Y0、Y1、Y2、Y3、Y4、Y5、Y6、Y7)一一对应连接,该或门的输出端与调压子电路1033的输入端连接。

[0074] 如图5所示,上述调压子电路1033的输入端与输出子电路1032的输出端连接,该调压子电路1033的输出端与第一输出端OUT连接,该调压子电路1033配置为:将经或门输出的高电平调整至驱动晶体管的有效开启电平。

[0075] 在一些实施例中,驱动晶体管Md为N型晶体管,上述有效开启电平为高电平电压;此时,对于调压子电路1033可以采用电平转换器(Level Shift);也即通过电平转换器对输出子电路1032(或门)输出的电压大小进行调整即可。

[0076] 在一些实施例中,驱动晶体管Md为P型晶体管,上述有效开启电平为低电平电压;此时,对于调压子电路1033可以设置反相器和电平转换器(Level Shift),通过内部设置的反相器将输出子电路1032(或门)输出的电压进行反相,并进行电压大小调整。

[0077] 针对上述像素驱动电路01,在显示面板PNL实际的制作时,可以将上述像素驱动电路01中的数字驱动电路10集成在微芯片(Micro Chip)100上;并可以通过转印工艺将该微芯片(Micro Chip)100固定在显示面板PNL中的基板上。

[0078] 在一些实施例中,为了减少Micro Chip的引脚,避免引入过多的引线,如图8所示,可以将位于多个相邻亚像素P内的多个像素驱动电路01中的数字驱动电路10集成在同一微芯片(Micro Chip)100,从而更有利于提高显示装置的分辨率。

[0079] 在一些实施例中,为了进一步的提高集成度以及分辨率,如图9所示,可以将位于多个相邻亚像素P内的多个像素驱动电路01中的数字驱动电路10和驱动晶体管Md均集成在同一微芯片(Micro Chip)100。

[0080] 另外,本领域技术人员应当理解到,对于Micro LED而言,其同样也是采用转印工艺进行固定,基于此,为了避免在制作显示面板PNL时,将微芯片(Micro Chip)100和Micro LED单独通过转印工艺进行固定,导致制作工艺复杂;在一些实施例中,如图10所示,可以将多个像素驱动电路01中的数字驱动电路10、驱动晶体管Md以及Micro LED均集成在同一微芯片(Micro Chip),以简化制作工艺,降低制作成本。

[0081] 需要说明的是,对于上述采用同一微芯片(Micro Chip)的多个像素驱动电路01而

言,并不限制于图8、图9、图10中示出的3个像素驱动电路01,也可以是2个、4个、5个等。另外,对于采用同一微芯片(Micro Chip)的多个像素驱动电路01而言:可以是位于一个像素单元中的多个不同颜色的亚像素中(例如红色亚像素、绿色亚像素、蓝色亚像素),也可以是位于不同像素单元中的多个相邻的亚像素中;可以是位于同一行的多个相邻的亚像素;也可以是位于同一列的多个相邻的亚像素,可以是位于多行多列的多个相邻的亚像素,本发明对此均不作限定。

[0082] 本发明另一些实施例还提供一种如前述的像素驱动电路01的驱动方法。

[0083] 以下像素驱动电路01的数字驱动电路10中包括模数转换子电路101、存储子电路102、脉宽调制子电路103的情况下,对该像素驱动电路01的驱动方法进行说明。

[0084] 如图11所示,该驱动方法包括:

[0085] 步骤S101、向第一输入端IN输入像素电压Vdata,模数转换子电路101将像素电压Vdata转换为8位数字信号,并输出至存储子电路102。

[0086] 步骤S102、存储子电路102接收模数转换子电路101输出的8位数字信号进行存储,并输出至脉宽调制子电路103。

[0087] 步骤S103、脉宽调制子电路103接收存储子电路102输出的8位数字信号,并将该8位数字信号转换为脉冲宽度调制信号(通过第一输出端OUT)输出至驱动晶体管Md的栅极。

[0088] 示例的,在一些实施例中,上述模数转换子电路101可以采用A/D转换器,上述存储子电路102可以采用如图6中示出的存储器,上述脉宽调制子电路103可以采用如图5中示出的减法计数器1031(如图7中示出的电路结构)、输出子电路1032、调压子电路1033,在此情况下,对于上述驱动方法而言:

[0089] 上述步骤S101可以包括:参考图5,A/D转换器的输入端接收通过第一输入端IN输入的像素电压Vdata,并将该像素电压Vdata转换为8位数字信号通过8位输出端(D0、D1、D2、D3、D4、D5、D6、D7)分别输出不同位的数字信号。

[0090] 上述步骤S102可以包括:参考图5和图6,存储器的8位输入端分别接收从A/D转换器的8位输出端(D7、D6、D5、D4、D3、D2、D1、D0)输出的数字信号,每一位的数字信号经过缓冲器后输出至对应存储单元11中的D触发器,且各D触发器在时钟信号CLKA的跳变沿(例如可以是上升沿)到来时,将接收的数字信号输出至三态门,三态门在使能信号端OE的信号的控制下,将8位数字信号从8位输出端(Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0)分别输出。

[0091] 上述步骤S103可以包括:参考图5、图7和图12,减法计数器1031的8位输入端分别接收从存储器的8位输出端(Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0)输出的数字信号以及计数脉冲CLK(减法计数器1031在接收数字信号之前可以先通过复位信号端Reset进行复位)。在计数脉冲CLK(例如,采用上升沿计数)开始进入计数周期后,在预置位信号端Mode以及时钟信号端CE的信号的控制下,减法计数器1031将接收的8位数字信号在每一计数脉冲到来时计数进行减1直至减为0;在此情况下,在每一计数周期内,减法计数器1031的8位输出端中,计数不为0的输出端输出高电平至输出子电路对应的输入端,计数为0的输出端输出低电平至输出子电路对应的输入端。

[0092] 输出子电路1032接收减法计数器1031的8位输出端的输出信号,并在减法计数器1031计数为0之前的计数周期中连续输出高电平,在减法计数器1031计数为0的计数周期中连续输出低电平。

[0093] 调压子电路1033接收输出子电路1032的输出信号,并将该信号中的高电平调整至驱动晶体管Md的有效开启电平并输出至驱动晶体管Md的栅极。

[0094] 示例的,针对N型的驱动晶体管Md而言,在一些实施例中,调压子电路1033可以增大输出子电路1032输出的高电平电压的电压大,低电平的电压可以不做调整。示例的,针对P性的驱动晶体管Md而言,在一些实施例中,调压子电路1033对输出子电路1032的输出电路进行反相,也即将高电平调整为低电平,将低电平调整为高电平。

[0095] 示例的,以下以第一输入端IN输入与7灰阶对应的像素电压Vdata为例,对上述驱动过程进行具体说明。

[0096] 步骤S101,A/D转换器的输入端接收通过第一输入端IN输入的与7灰阶对应的像素电压Vdata,并将该像素电压Vdata转换为8位数字信号(即00000111),此时,8位输出端(D7、D6、D5、D4、D3、D2、D1、D0)分别输出0、0、0、0、0、1、1、1。

[0097] 步骤S102,存储器的8位输入端分别接收从A/D转换器的8位输出端(D7、D6、D5、D4、D3、D2、D1、D0)输出的数字信号(00000111),该8位数字信号(00000111)经存储后分别从8位输出端(Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0)输出;即8位输出端(Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0)分别输出0、0、0、0、0、1、1、1。

[0098] 步骤S103,参考图7和图12,先通过复位信号端Reset的信号对减法计数器1031进行复位,减法计数器1031的8位输入端分别接收从存储器的8位输出端(Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0)输入的数字信号(00000111)以及计数脉冲CLK,并在接收的预置位信号端Mode以及时钟信号端CE的信号的控制下,减法计数器1031将接收的8位数字信号(00000111)在每一计数脉冲到来时计数进行减1直至减为0。

[0099] 此时,参考图12(图12仅示出了8位数字信号中低三位的数字信号),在第一个计数周期①(对应00000111),8位输出端中Y0、Y1、Y2分别输出高电平,Y3、Y4、Y5、Y6、Y7分别输出低电平;在第二个计数周期②(对应00000110),Y1、Y2分别输出高电平,Y0、Y3、Y4、Y5、Y6、Y7分别输出低电平;在第三个计数周期③(对应00000101),Y0、Y2分别输出高电平,Y1、Y3、Y4、Y5、Y6、Y7分别输出低电平;在第四个计数周期④(对应00000100),Y2输出高电平,Y0、Y1、Y3、Y4、Y5、Y6、Y7分别低电平;在第五个计数周期⑤(对应00000011),Y0、Y1分别输出高电平,Y2、Y3、Y4、Y5、Y6、Y7分别输出低电平;在第六个计数周期⑥(对应00000010),Y2输出高电平,Y0、Y1、Y3、Y4、Y5、Y6、Y7分别输出低电平;在第7个计数周期⑦(对应00000001),Y0输出高电平,Y1、Y2、Y3、Y4、Y5、Y6、Y7分别输出低电平;从第8个计数周期到第255个计数周期,Y0、Y1、Y2、Y3、Y4、Y5、Y6、Y7均输出低电平。

[0100] 在此情况下,输出子电路1032(或门)在第1个计数周期①到第7个计数周期⑦均从减法计数器1031的至少一个输出端接收到高电平,在第7个计数周期到第255个计数周期从减法计数器1031的各输出端均接收低电平,从而输出具有七个计数周期的高电平信号(也即PWM信号),并通过调压子电路1033将该PWM信号的高电平调整至驱动晶体管Md的有效开启电平并输出至驱动晶体管Md的栅极。

[0101] 在此基础上,对于显示装置而言,在第n图像帧n F,参考图1、图2和图13,通过栅极驱动电路逐行向栅线(GL1、GL2、GL3……)输出扫描信号,在其中的一行栅线接收扫描信号开启该行像素驱动电路01的情况下,通过数据驱动电路向该行的像素驱动电路01写入像素电压,各像素驱动电路01将接收的像素电压转换为PWM信号(例如图13中的PWM1、PWM2、

PWM3……) 输出至驱动晶体管Md的栅极,该行的Micro-LED在占空比不为0的PWM信号的控制下,以恒定的电流进行发光(发光时长与PWM信号的占空比对应);Micro-LED在占空比为0的PWM信号的控制下不发光,从而控制该行的Micro-LED发出对应灰阶的亮度。

[0102] 另外,对于上述驱动方法中其他的相关内容,可以对应的参考前述像素驱动电路、显示装置中相关的对应部分,此处不再赘述;对于前述像素驱动电路、显示装置实施例中的其他设置结构,可以参考上述制作方法,进行调整,此处不再一一赘述。

[0103] 本领域普通技术人员可以理解:实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成,前述的程序可以存储于一计算机可读取存储介质中,该程序在执行时,执行包括上述方法实施例的步骤;而前述的存储介质包括:ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0104] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

PNL

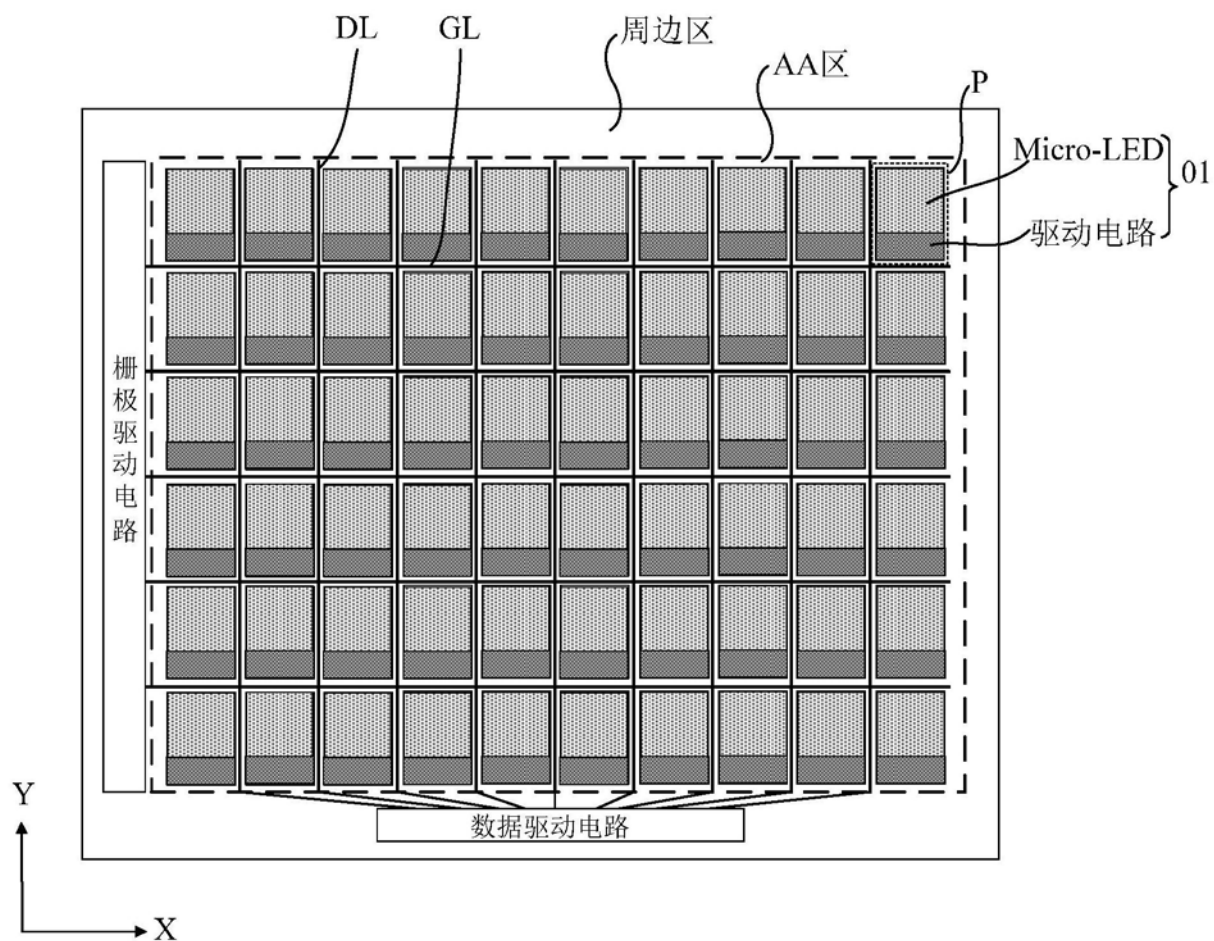


图1

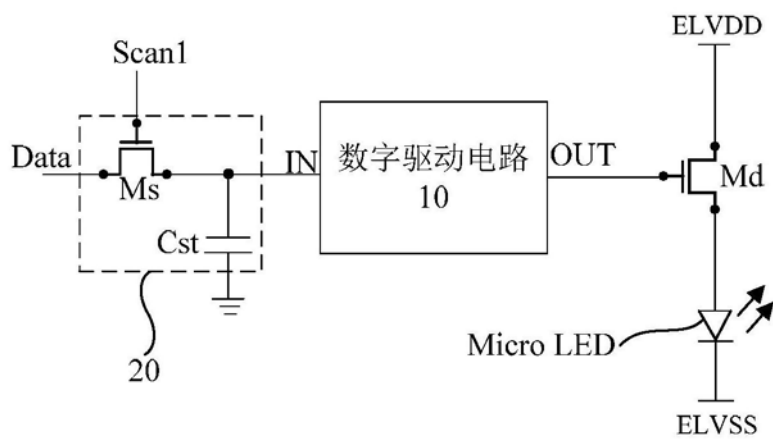


图2

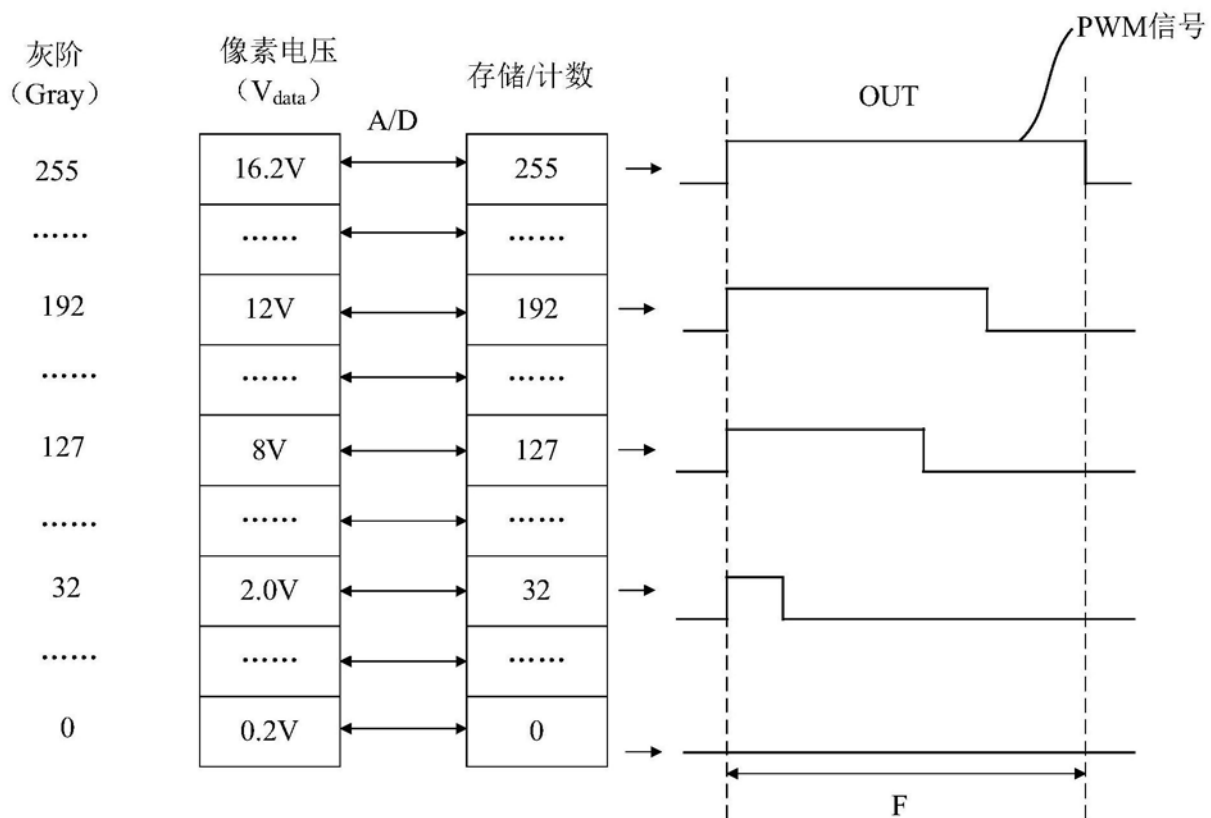


图3

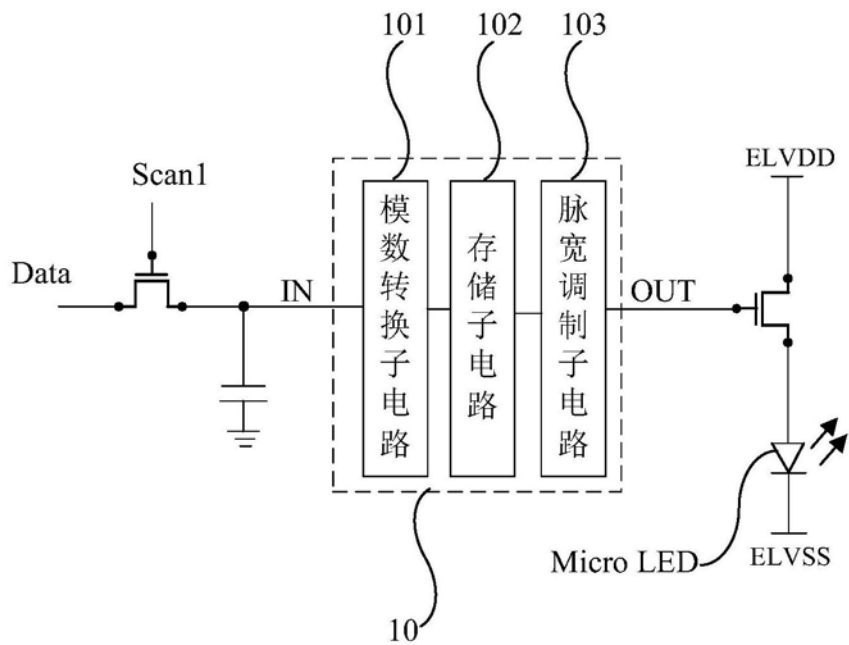


图4

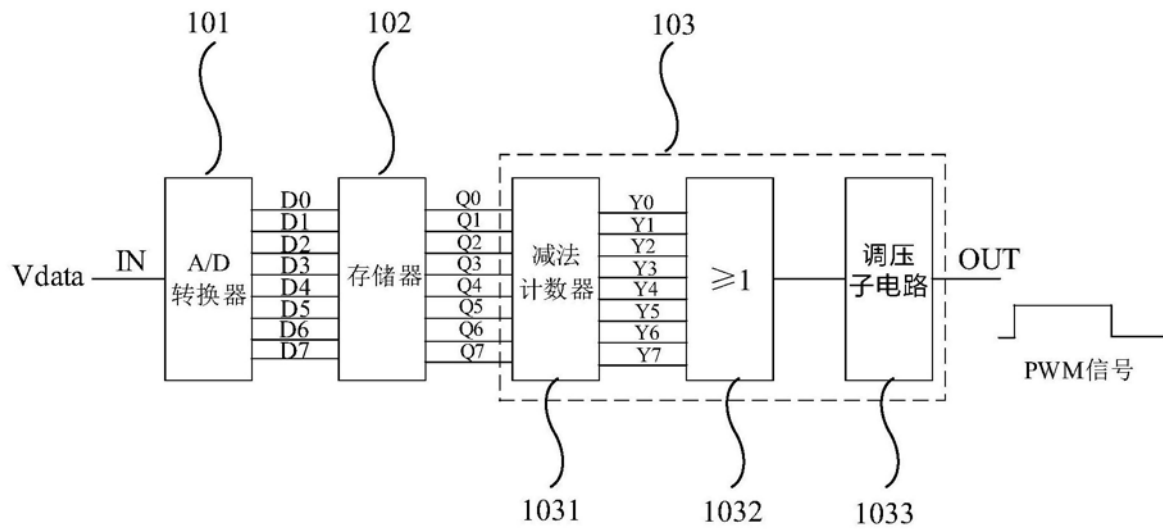


图5

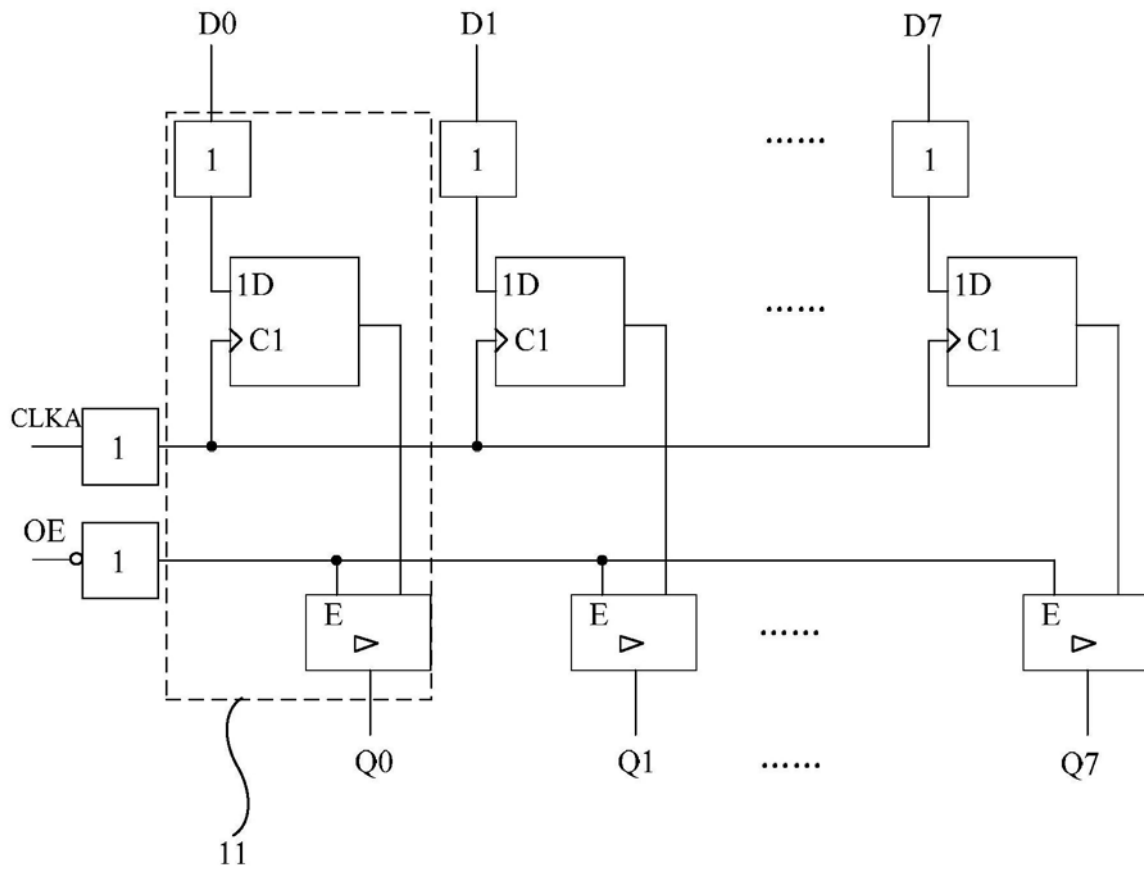


图6

1031

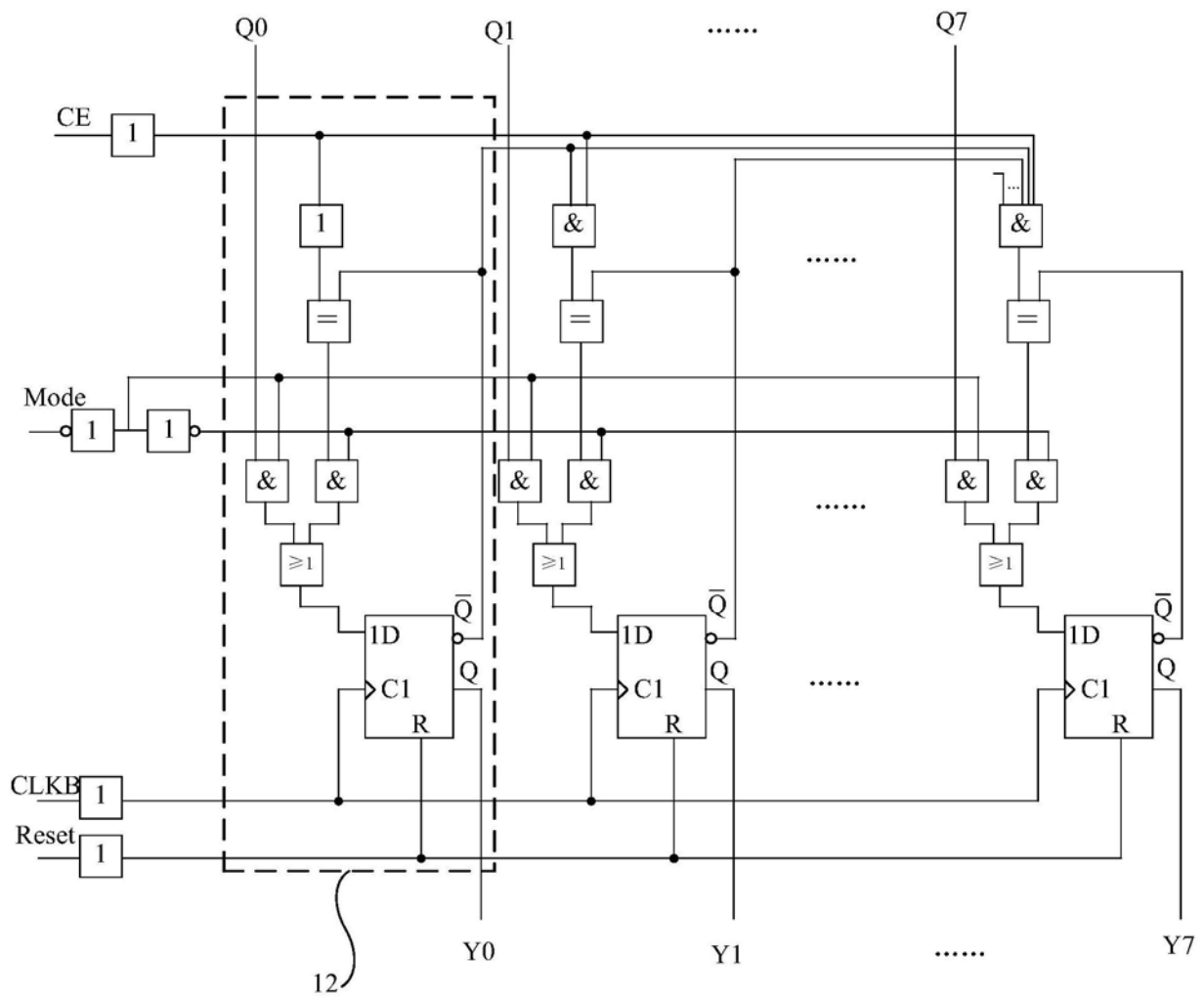


图7

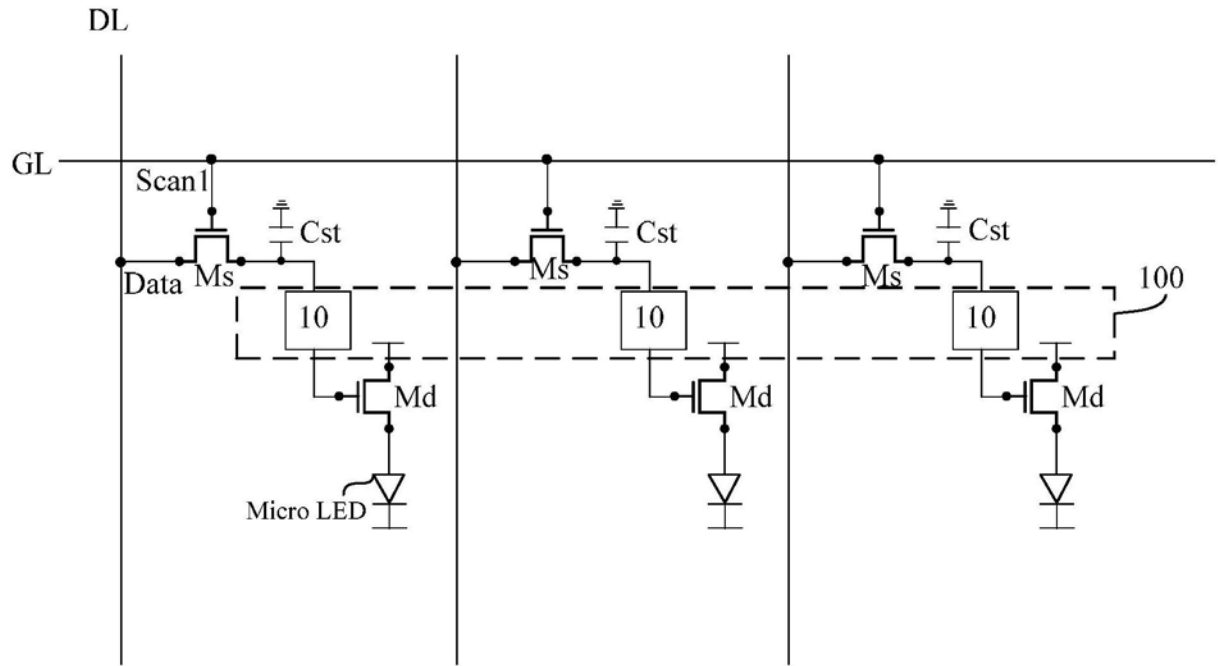


图8

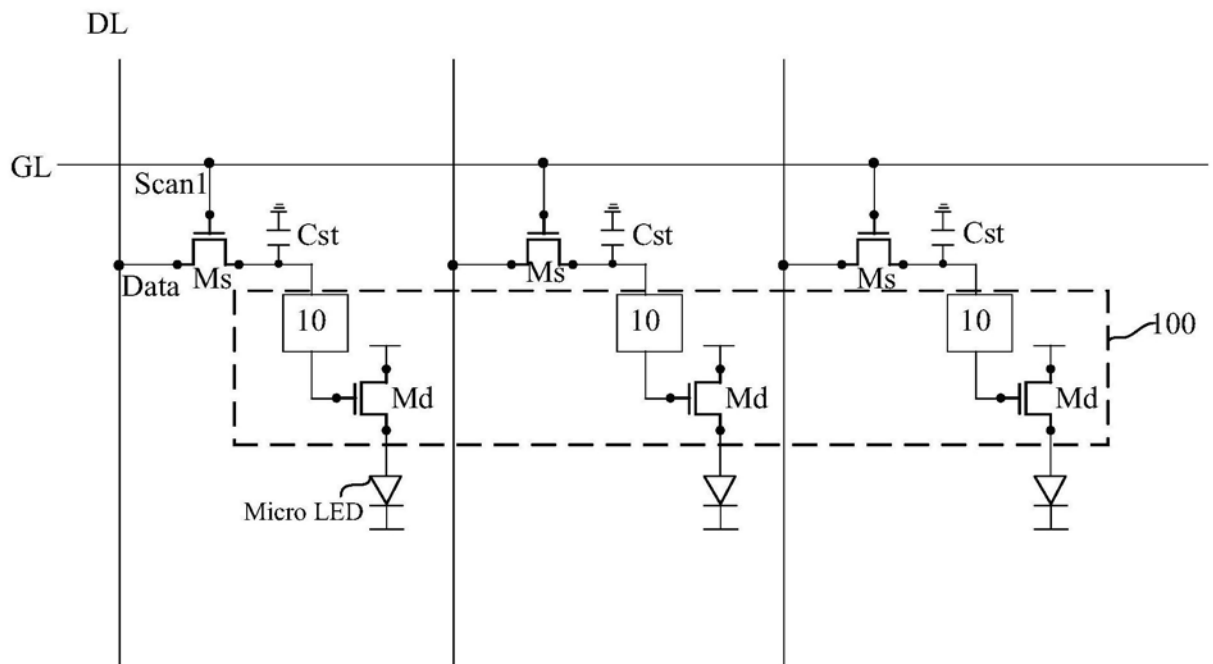


图9

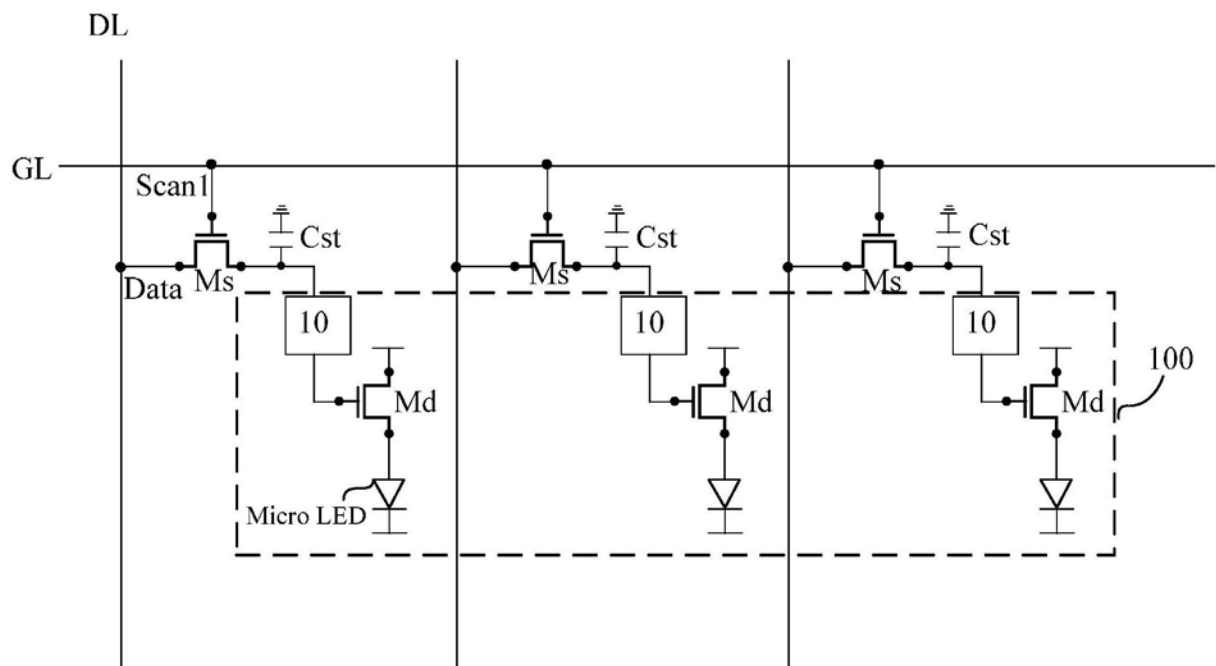


图10

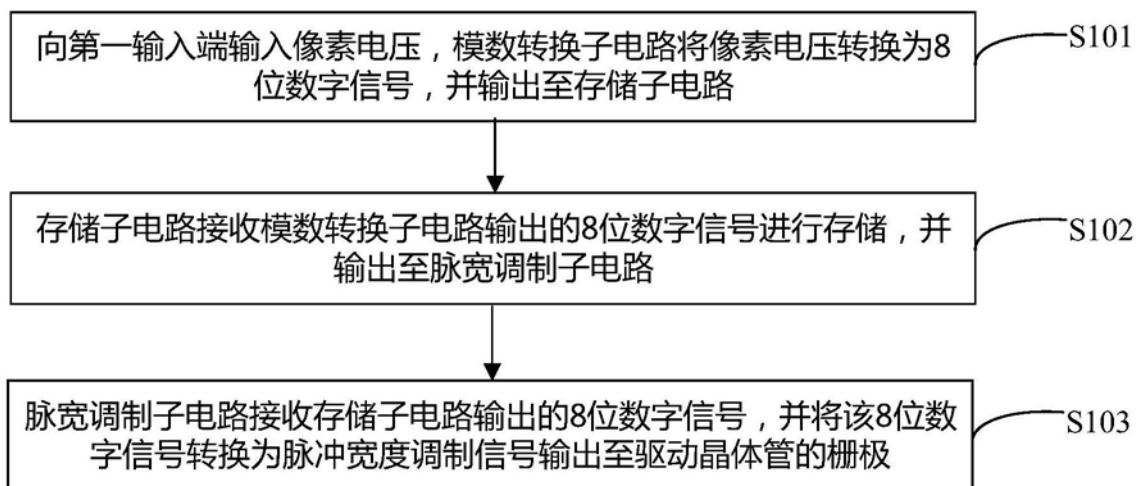


图11

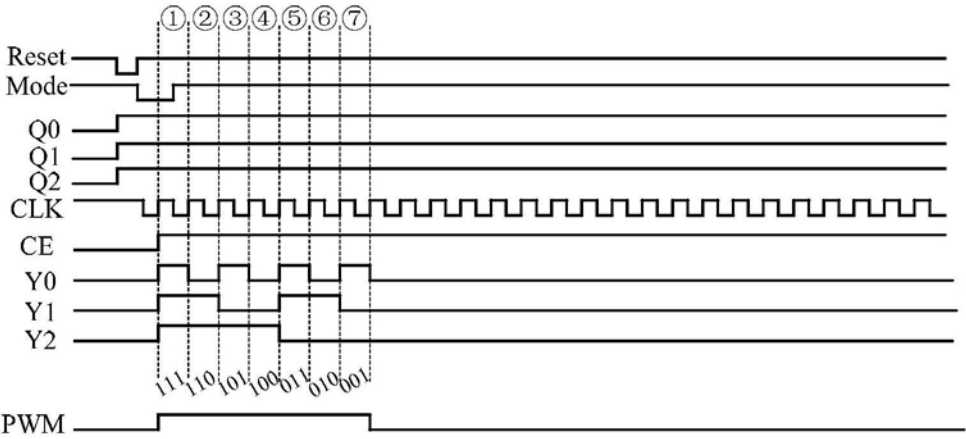


图12

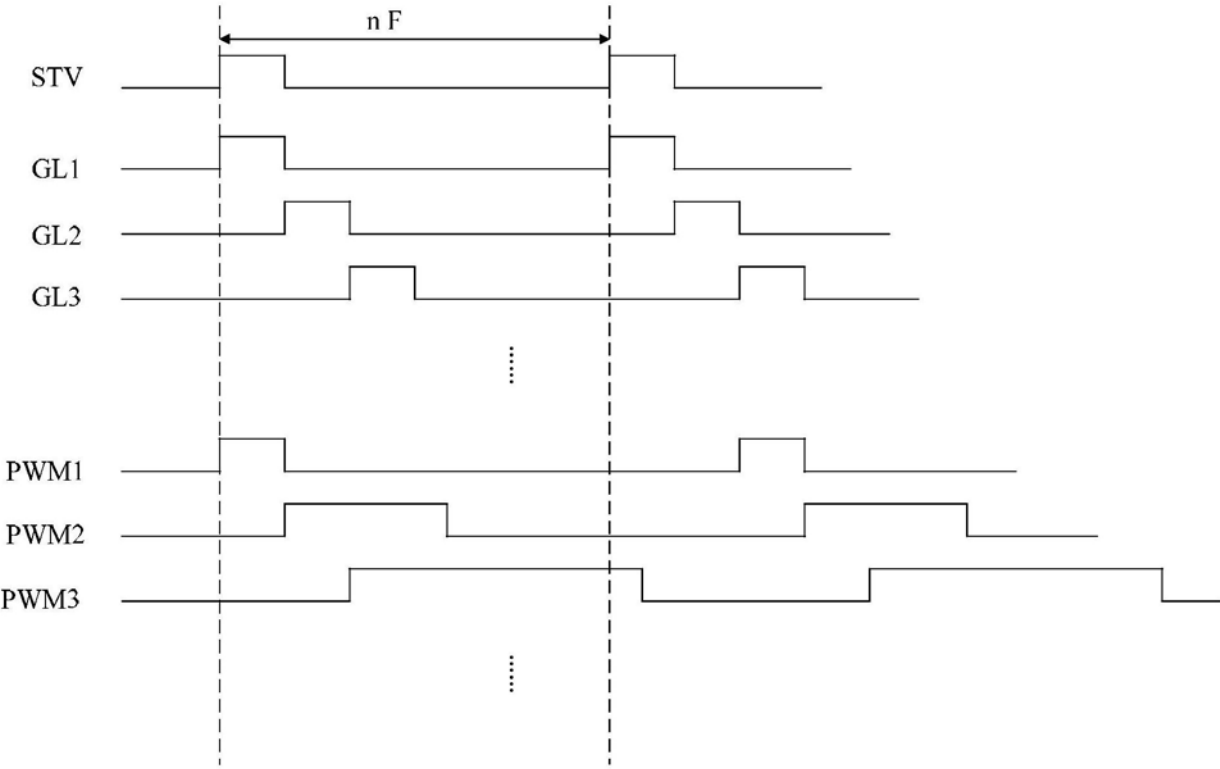


图13

专利名称(译)	一种像素驱动电路及其驱动方法、显示装置		
公开(公告)号	CN110111727A	公开(公告)日	2019-08-09
申请号	CN201910476712.3	申请日	2019-06-03
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
[标]发明人	胡国锋 宋振坤 陈明 时凌云 毕育欣 段欣 高延凯 刘弘 于明鉴		
发明人	胡国锋 宋振坤 陈明 时凌云 毕育欣 段欣 高延凯 刘弘 于明鉴		
IPC分类号	G09G3/32 G09G3/3208		
CPC分类号	G09G3/32 G09G3/3208		
代理人(译)	申健		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例提供一种像素驱动电路及其驱动方法、显示装置，涉及显示技术领域，能够解决发光器件因通过驱动电流大小来控制发光亮度而导致的显示不良的问题；该像素驱动电路包括驱动晶体管、数字驱动电路；数字驱动电路包括第一输入端和第一输出端，第一输出端与驱动晶体管的栅极连接；数字驱动电路配置为：将第一输入端输入的像素电压转换为N位数字信号，并将所述N位数字信号转换为脉冲宽度调制信号，通过第一输出端输出至驱动晶体管的栅极；其中，所述N位数字信号与所述像素电压对应的灰阶值相等，N为正整数；像素电压与该像素电压经转换后的脉冲宽度调制信号对应同一灰阶；脉冲宽度调制信号的周期与显示帧周期一致。

